

**ASPROM**  
OPTEZ POUR L'INNOVATION

[www](http://www.teratec.eu)

organise sous le patronage de **TERATEC**

**Ter@tec**  
[www.teratec.eu](http://www.teratec.eu)

## CALCULS PARALLELES ET APPLICATIONS

8 et 9 avril 2014

Lieu : TERATEC, Campus Teratec, 2, rue de la piquetterie  
91680 BRUYERES-LE-CHATEL



Crédit photo : ŠKODA Auto

ESI Group : simulation de crash automobile

# Calculs Parallèles et Applications : 8 et 9 avril 2014

Lieu : TERATEC, Campus Teratec, 2, rue de la piquetterie  
91680 BRUYERES-LE-CHATEL

**Pourquoi un tel séminaire ? Pourquoi maintenant ? Quel intérêt pour les participants?  
Le domaine des calculateurs parallèles vit une évolution dans deux dimensions :**

- la dimension des plates-formes de calcul ; aux FPGA et GPU utilisés pour du calcul « général », s'ajoutent désormais diverses formes de manycores ; les gains en performance peuvent être accompagnés de gains en énergie consommée ; à tel point que le parallélisme devient une technologie « mainstream » pour le développeur individuel (desktop, laptop), et pour l'embarqué, en plus des supercomputers, des datacenters et des clusters départementaux.
- La dimension des applications : des applications auparavant impossibles le deviennent désormais ; toute une nouvelle communauté de développeurs d'applications est « éveillée » au parallélisme, découvre ses modèles de programmation, voire en invente de nouveaux. Les applications peuvent basculer d'une plate-forme High end vers une plate-forme embarquée, par exemple pour la prédiction de comportement d'un objet complexe en temps réel. *Temps, énergie, encombrement, pas impossible*

Tous les domaines sont touchés, et une large communauté s'interroge sur les nouvelles problématiques et les nouvelles solutions qui peuvent ainsi être construites. Ce séminaire entend faire le point, en proposant des exposés des meilleurs spécialistes, dans des domaines variés.

## Première matinée :

### Les grandes plateformes d'exécution

#### **9h00-9h30 : Panorama des supercalculateurs à l'ère du « multi-petascale »**

*Par Jean Philippe NOMINE , CEA/DAM*

Le classement Top500 de novembre 2013 recense plus de 30 supercalculateurs plus que « pétaflopiques » au sens du benchmark LINPACK. Il est donc possible de prendre un peu de recul sur cette ère du « petascale » désormais bien entamée. Nous survolerons ainsi :

- les architectures de grands calculateurs d'aujourd'hui, dans ce 'Top30' mais aussi dans les segments d'usage plus généraux du HPC (High Performance Computing) à différentes échelles
- les tendances observables, ou pas, alors que l'horizon 2020, si fréquemment érigé depuis quelques années en « mur du son » de l'exascale, se rapproche doucement

#### **9h30-10h : Architectures hybrides, un incontournable ?**

*Par Guillaume COLIN DE VERDIERE, CEA/DAM*

L'étude du récent TOP500 montre que l'architecture des calculateurs HPC évolue en donnant de plus en plus d'importance aux architectures hybrides. Nous présenterons donc ici ce que sont ces architectures en tentant de faire quelques projections pour l'avenir. Cet exposé pourra être aussi vu comme une introduction aux présentations suivantes.

### **10h-10h30 Optimisation de code pour les nouvelles générations de processeur**

*Par William JALBY, Professeur à l'UNIVERSITE DE VERSAILLES SAINT QUENTIN*

La complexité matérielle accrue des nouvelles générations de processeurs rend la tâche d'optimisation de code extrêmement délicate .

Il faut non seulement détecter les principales sources de perte de performances mais aussi les hiérarchiser et surtout comprendre l'impact de chacune sur la performance globale pour pouvoir faire les bons compromis. Ceci est un enjeu majeur pour l'utilisation efficace des nouvelles générations de machine. Dans cet expose nous exposerons les principales difficultés rencontrées et nous indiquerons quelques pistes qui nous semblent prometteuses.

### **10h30 - 11h : Pause café**

### **11h-11h30 : Calcul à large échelle basé sur les systèmes à multiprocesseurs intégrés sur une puce**

*Par Benoit DE DINECHIN, KALRAY*

Les systèmes à multiprocesseurs intégrés sur une puce, tels que les NVIDIA Tegra 4, Samsung Exynos 5, TI Keystone II, et Kalray MPPA-256, peuvent en principe être exploités comme nœuds de calcul de machines massivement parallèles dont la consommation électrique et le coût opérationnel ramenés à la performance seraient en rupture avec les supercalculateurs classiques. L'application de ce principe motive en particulier le projet FP7 MontBlanc et les produits HP Moonshot. Cette rupture se base sur la basse consommation intrinsèque des systèmes à multiprocesseurs intégrés sur puce, leur connectivité Ethernet à haut débit, leurs performances en calcul numérique, et leur capacité à tourner un système opératoire riche. Nous discutons du chemin parcouru et des incertitudes à lever pour concrétiser cette rupture, en particulier dans le cas où les nœuds de calcul seraient basés sur les processeurs Kalray MPPA-256.

### **11h30-12h : Panorama de la programmation parallèle dans le HP**

*Par François BODIN, IRISA / UNIVERSITE DE RENNES 1*

Cette présentation donne un aperçu des interfaces et langages de programmation parallèle pour le HPC. Nous abordons cette problématique au regard de l'évolution des processeurs. En particulier, nous distinguons des pratiques de développement en vue d'exploiter les architectures hétérogènes (e.g. accélérateurs) et homogènes à grand nombre de cœurs de calcul.

### **12h-12h30 : L'Exascale, opportunités et défis**

*Par Daniel BOUCHE, CEA/DAM*

L'Europe, les Etats Unis, et la Chine, souhaitent disposer de machines exaflopiques à l'horizon 2020. Une abondante littérature est consacrée à ces machines, aux opportunités pour la simulation, et aux difficultés à résoudre (consommation d'énergie, programmation efficace). Nous présenterons un point sur ces sujets.

**12h30 – 14h : Déjeuner**

**Première après-midi :**

**Traitement de l'image**

**14h – 14h30 : La vision par ordinateur au CEA/LIST, quels choix architecturaux ?**

*Par Mathieu CARRIER, CEA/LIST*

Le laboratoire développe des applications de vision par ordinateur, analyse de scène, réalité augmentée, recherche d'images dans des bases de données, ... L'augmentation de la fréquence des processeurs permettait jusqu'alors l'amélioration du temps d'exécution des algorithmes sous-jacents. L'arrêt de cette augmentation de fréquence et l'arrivée d'architectures parallèles a bouleversé ce paradigme et implique une réflexion quant aux choix architecturaux pour exploiter au mieux les nouvelles architectures et obtenir des performances en temps d'exécution en adéquation avec nos problématiques.

Nous étudions donc différentes architectures telles les processeurs multi-cœur, les multi-processeur, les GPUs et d'autres comme le MPPA de Kalray ou le Xeon Phi d'Intel pour des algorithmes de vision par ordinateur.

**14h30 – 15h : Architecture cluster GPU.**

*Vincent FROUIN, CEA/DSV/NEUROSPIN*

L'imagerie-génétique est un domaine nouveau à la croisée de la neuro-informatique et de la bio-informatique. Les images médicales offrent des phénotypes intermédiaires comme ponts entre la neurologie, la psychiatrie d'une part et la biologie d'autre part. La mise en œuvre des modèles statistiques pour l'analyse en imagerie-génétique est confrontée à des données à la fois massives et en grandes dimensions. L'exposé comprendra une introduction générale, une présentation/discussion d'une implémentation de traitements sur le cluster Curie (PRACE supercomputer français) mettant en œuvre 200 GPUs.

**15h – 15h30 : Simulation à grande échelle de macro-molécules biologiques à l'échelle microscopique**

*Par Michel MASELLA, CEA/DSV*

Simuler avec précision un système moléculaire à l'échelle microscopique nécessite des approches de modélisation à la fois précises et efficaces. Dans le cadre d'une collaboration avec l'Exascale Computing Research Laboratory, laboratoire commun INTEL/CEA/GENCI/UVSQ, nous développons de nouvelles approches de modélisation multi-échelle permettant un couplage efficace avec des algorithmes numériques largement employés en astrophysique (en particulier, les approches de type "Fast Multipoles Methods"). Ces nouvelles approches de modélisation permettent de simuler efficacement des macromolécules d'intérêt biologique de grandes tailles au sein d'environnements moléculaires

étendus. A terme, l'efficacité ces approches laisse envisager un utilisation routinière dans le développement de nouveaux vecteurs moléculaires relevant du domaine de la nano-médecine, par exemple.

### **15h30- 16h : Pause Café**

### **16h – 16h30 Virtual product prototyping and multi-domain optimization: a challenge for high performance multi-physics applications**

*Dr. D. LEFEBVE, Product Management, ESI Group*

Reduce costs and time to market, improve product quality, performance and robustness are some of the key challenges of the manufacturing industry today. To achieve these goals across the entire product development process, ESI Group proposes a flexible and integrated virtual product engineering solution to help introduce new materials, new processes and other product innovations, and reduce the need for expensive physical prototypes. The need to understand the impact of an increasing number of design variables calls for multi-domain optimizations and represents several challenges in terms of numerical methods and requirements for high performance computing. The presentation will review some recent advances in product modeling techniques covering several physical domains and illustrate how today's compute power can be efficiently used through industrial use cases.

### **Seconde matinée:**

### **Calcul scientifique et d'ingénierie-Simulation-Modélisation**

### **9h – 9h30 : La Simulation et le calcul intensif au service / intégré au PLM (Product Lifecycle Management)**

*Par Gérard LECINA, 3DS*

La virtualisation des processus d'ingénierie et de production permet aux industries manufacturières de produire et vendre des produits innovants, compétitifs, à couts et impacts environnementaux maîtrisés.

La simulation rapide et réaliste du comportement des produits et systèmes de production en est un élément clé et fait appel aux technologies et aux moyens de calcul intensif dont elle est par ailleurs un des éléments moteurs.

La présentation détaillera de nombreuses applications industrielles de différents domaines (Calculs Multiphysiques, Visualisation, Maquette Numérique, ...) basées sur les offres de Dassault Systèmes ainsi que les défis restant à relever, du point de vue technologique mais aussi économique.

### **10h – 10h30 : Numerical Simulation and High Performance Computing: Industrial applications in Oil and Gas Industry**

*Philippe RICOUX, TOTAL*

Applications in industry are underpinned by research in the field of Engineering Science, and for reducing the number of long and expensive experiments to ones only essential and useful, by more and more **numerical simulations**. Consequently, industries of all kinds are facing

opportunities and challenges driven by the development of “numerics” and the application of **High Performance Computing** (HPC). The efficient use and successful exploitation of modern HPC therefore play a significant role in delivering increased understanding of realistic engineering problems through high fidelity modeling, simulation, and optimization, and also provide a real advantage of competitiveness for those industries which will know how to benefit.

- HPC allows also facing the challenge in code coupling: both a *horizontal* direction - *multi-physics*-, (chemistry and transport, or structural mechanics, acoustics, fluid dynamics, and thermal heat transfer, ...) and in the *vertical* direction -*multi-scale models*- (i.e. from continuum to mesoscale to molecular dynamics to quantum chemistry) which requires bridging space and time scales that span many orders of magnitude.
- This leads to improve at the same time more accurate “physical” model and numerical methods and algorithms.

**10h30 -11h : Pause café**

**11h – 11h30 : Calcul Parallèle en Génomique**

*Par Dominique LAVENIER, IRISA/INRIA*

L'évolution rapide des biotechnologies permet aujourd'hui un séquençage à haut débit des génomes ou des metagénomes. Chaque expérimentation génère des Tera-octets de données qui doivent ensuite être analysés. L'exposé fera le tour des différents traitements usuels de la génomique et de leurs principales implémentations parallèles.

**12h – 12h30 : Nouvelles architectures et simulation des matériaux: résultats et défis**

*Par Gilles ZERAH, CAPITAL FUND MANAGEMENT*

Nous présentons un certain nombre d'applications récentes en simulation des matériaux reposant sur l'utilisation des nouvelles architectures manycores, les domaines où celles-ci permettent des gains de performance importants ainsi que les verrous à lever.

**12h30 – 13h :Architectures hybrides logicielles pour le Big Data**

*Par Laurence HUBERT, HURENCE*

Les années 2012 et 2013 ont vu l'adoption massive de Hadoop en tant que solution logicielle privilégiée pour le Big Data. Aujourd'hui, les spécialistes du Big Data s'orientent plutôt vers des architectures hybrides logicielles où différents paradigmes de calcul parallèle cohabitent pour satisfaire des besoins variés dans l'élaboration de chaînes Big Data aux propriétés bien différentes. Ces architectures logicielles hybrides doivent pouvoir s'appuyer sur une hybridation des infrastructures matérielles qu'elles devront savoir utiliser de manière optimum et transparente pour le programmeur. Mais elles devront faire un effort de standardisation et d'interopérabilité pour éviter une inflation de technologies superposées en silos et en concurrence sur les mêmes ressources matérielles.

**Seconde Après-midi :**

**Table ronde présidée par Gérard ROUCAIROL (Académie des Technologies),**

avec Jean Luc DORMOY (modérateur), Joël MONNIER (KALRAY), Jean GONNORD (CEA/DAM), Jean ROMAN (INRIA/Bordeaux), Philippe RICOUX (TOTAL) et/ ou Frédéric DESPREZ ?

### **Visite du site TER@TEC**

TERATEC est une association regroupant plus de 80 entreprises et laboratoires de recherche, créée à l'initiative du CEA pour constituer un pôle européen de compétences en simulation numérique à haute performance, avec pour objectifs de fédérer l'ensemble des acteurs industriels et académiques, offreurs et utilisateurs, de donner accès aux systèmes les plus puissants, de promouvoir et d'accroître l'attractivité du domaine en favorisant le développement économique.

Acteur majeur, en Europe, de la simulation et du calcul intensif, TERATEC est implanté en Essonne dans la Communauté de communes de l'Arpajonnais. Au cœur d'une technopole labellisée zone de R&D, TERATEC est membre du pôle de compétitivité mondial "Systematic Paris-Région".

# Inscriptions – Participation aux frais

**Calculs Parallèles et Applications : 8 et 9 avril 2014**

**TERATEC, Campus Teratec, 2, rue de la piquetterie  
91680 BRUYERES-LE-CHATEL**

**Pour les grandes entreprises, les grands laboratoires et investisseurs (VC) :**

- 837,20 € TTC (TVA 19,6 % incluse), soit 700 € HT pour le séminaire complet
- 598,00 € TTC (TVA 19,6 % incluse), soit 500 € HT pour une journée au choix

**Pour les PME, les petits laboratoires (effectif < ou = 500 personnes) et universitaires (sur justificatif) :**

- 358,80 € TTC (TVA 19,6 % incluse), soit 300 € HT pour le séminaire complet
- 239,20 € TTC (TVA 19,6 % incluse), soit 200 € HT pour une journée au choix

Les repas seront pris sur place.

Les inscriptions ne sont prises en compte qu'après réception d'un courrier, adressé à ASPROM: 7 rue Lamennais - 75008 Paris, de préférence à l'aide de la fiche d'inscription jointe à ce dépliant. Le nombre de places étant limité, les inscriptions sont enregistrées dans l'ordre d'arrivée à ASPROM, accompagnées du paiement correspondant. Il est toutefois possible de se renseigner par téléphone sur le nombre de places disponibles.

**Lieu : TERATEC, Campus Teratec, 2, rue de la piquetterie, 91680 BRUYERES-LE-CHATEL (voir plans d'accès ci-joints).**

**Facturation - convention :** Le chèque est à libeller au nom d'ASPROM. Celle-ci peut conclure des conventions de formation avec les entreprises ou les organismes qui le souhaitent.

**Annulation des sessions :** L'ASPROM se réserve le droit d'annuler un séminaire lorsque le nombre des inscrits est insuffisant pour garantir le bon déroulement de ce séminaire. Les participants seront avertis au plus tard une semaine avant le début du séminaire.

**Annulation d'inscription :** Les annulations d'inscriptions doivent avoir lieu au plus tard une semaine avant le début du séminaire. Les annulations faites pendant la semaine qui précède le séminaire, seront facturées pour 50 % du montant prévu. Les inscriptions qui n'auraient pas été annulées seront facturées au plein tarif.

**Animateurs :** Pour des raisons indépendantes de notre volonté, des changements peuvent avoir lieu.

Aucune confirmation écrite ne sera envoyée. Les participants pourront se renseigner sur leur éventuelle inscription en téléphonant au : 06 07 02 83 93.



# BULLETIN D'INSCRIPTION

à renvoyer à ASPROM – 7, rue Lamennais – 75008 PARIS  
TÉL. : 06 07 02 83 93 – FAX : 01.42.89.82.50

Calculs Parallèles et Applications : 8 et 9 avril 2014

TERATEC, Campus Teratec, 2, rue de la piquetterie  
91680 BRUYERES-LE-CHATEL

NOM : \_\_\_\_\_ PRÉNOM : \_\_\_\_\_

Fonction : \_\_\_\_\_

Nom de la société et adresse :

\_\_\_\_\_

\_\_\_\_\_

Tél. : \_\_\_\_\_ Fax : \_\_\_\_\_

E-mail : \_\_\_\_\_

Je m'inscris à une ou deux journées, lesquelles ?

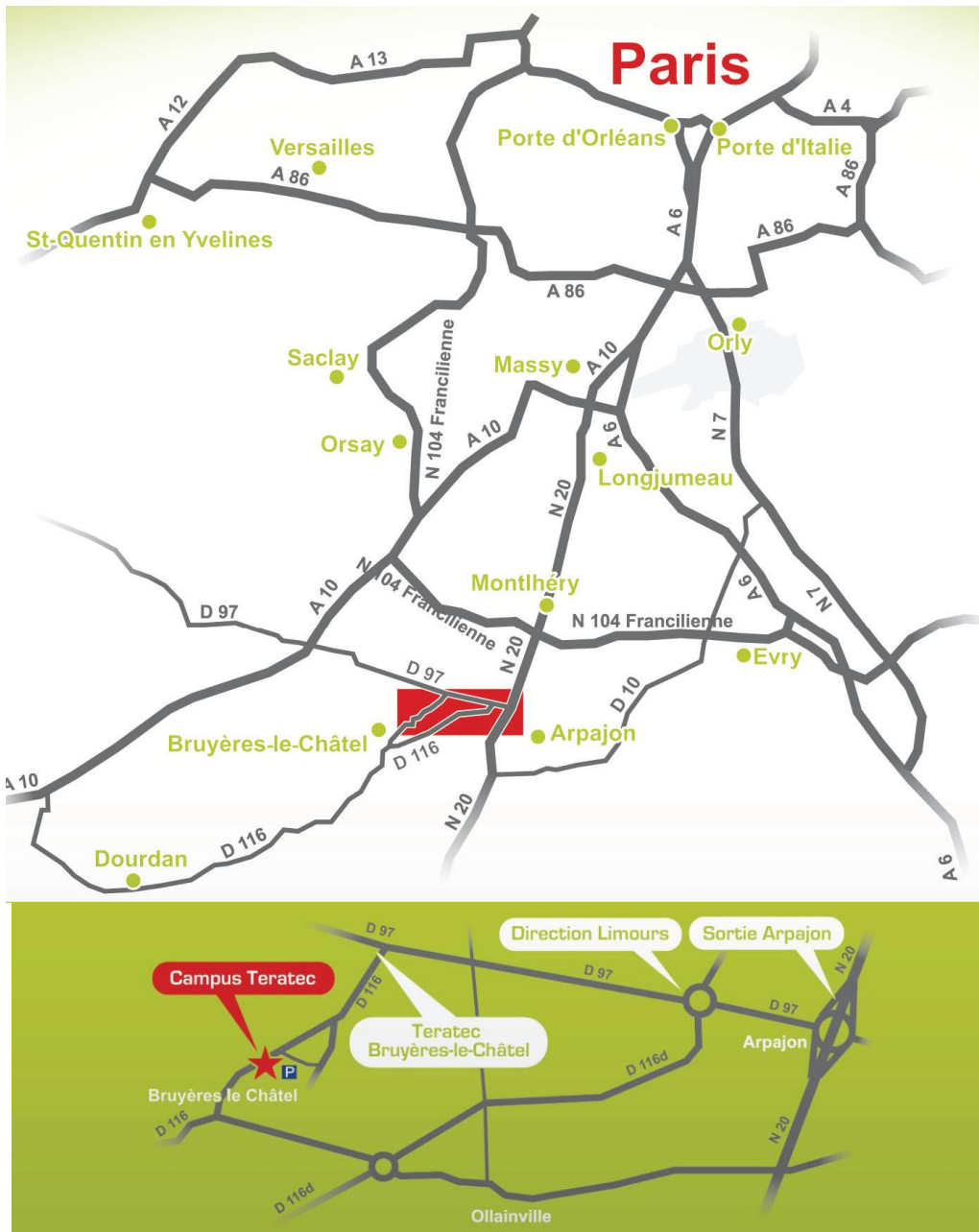
8 avril  9 avril ou au  séminaire complet

Ci-joint un chèque au nom d'ASPROM de : \_\_\_\_\_ €\*

Signature obligatoire :

\* Une facture de régularisation vous sera envoyée.

## Accès en voiture



### A partir de Paris :

Rejoindre l'autoroute A6, via la Porte d'Orléans ou d'Italie.

Suivre la direction Lyon, puis la bifurcation A 10 Palaiseau/Bordeaux/Nantes.

Après 2 km, serrer à gauche et prendre la RN 20 Linas/Montlhéry, puis Arpajon.

Prendre la sortie Limours, Dourdan, à droite la D97.

Au rond point, continuer tout droit 2km et tourner à gauche sur la D116 vers Bruyères-le-Châtel.

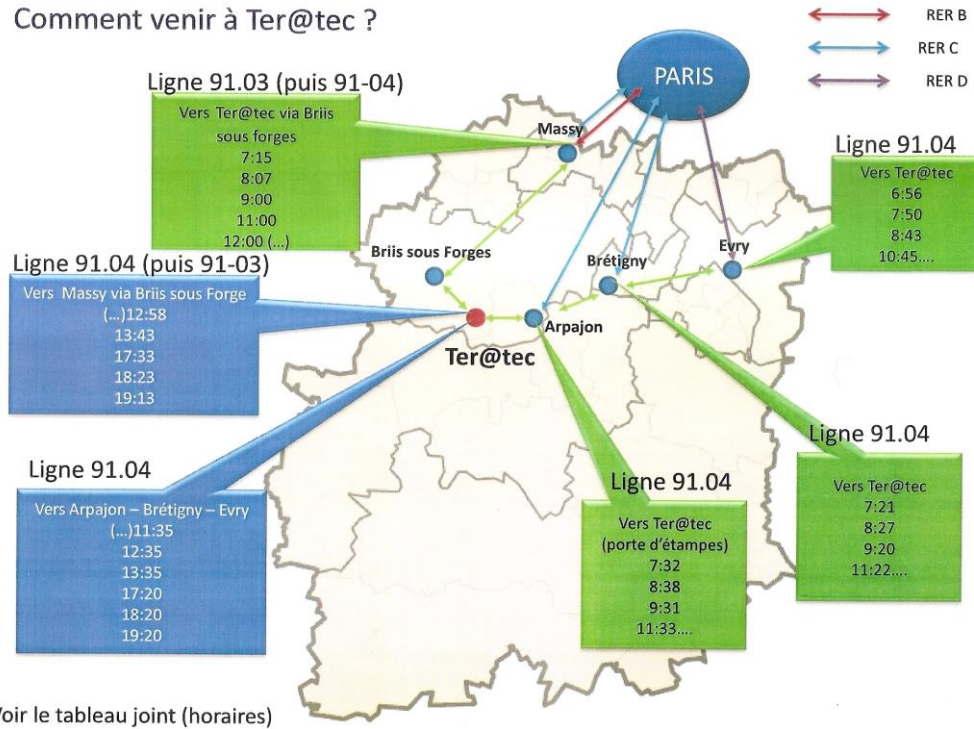
Première rue à gauche en direction du CEA.

Le Campus TERATEC est situé 2, rue de la Piquetterie.

Prendre à droite devant l'entrée principale du CEA puis à gauche après les parkings du TGCC

## Accès par les transports en commun

Comment venir à Ter@tec ?



Voir le tableau joint (horaires)

### Détail de lignes Massy – Briis sur Froges – TER@TEC

MASSY GARE RER		BRIIS SUR FORGES GARE ROUTIERE		CAMPUS TERATEC		CAMPUS TERATEC		BRIIS SOUS FORGES GARE ROUTIERE		MASSY GARE RER	
LIGNE 91.03		LIGNE 91.04		LIGNE 91.04		LIGNE 91.04		LIGNE 91.03		LIGNE 91.03	
DEPART	ARRIVEE	DEPART	ARRIVEE	DEPART	ARRIVEE	DEPART	ARRIVEE	DEPART	ARRIVEE	DEPART	ARRIVEE
7H15	7H29	7H40	7H50	7H42	7H53	7H57	8H17	8H07	8H21	8H30	8H40
8H07	8H21	8H30	8H40	8H48	8H59	9H02	9H23	9H00	9H14	9H25	9H35
9H00	9H14	9H25	9H35	9H41	9H52	9H57	10H13	11H00	11H14	11H25	11H35
11H00	11H14	11H25	11H35	11H43	11H54	12H17	12H33	12H00	12H14	12H25	12H35
12H00	12H14	12H25	12H35	12H58	13H09	13H17	13H33	13H00	13H14	13H25	13H35
13H00	13H14	13H25	13H35	13H43	13H54	14H17	14H33	16H45	17H02	17H10	17H20
16H45	17H02	17H10	17H20	17H33	17H44	17H52	18H08	17H50	18H07	18H10	18H20
17H50	18H07	18H10	18H20	18H23	18H34	18H47	19H03	18H47	19H04	19H10	19H20
18H47	19H04	19H10	19H20	19H13	19H24	19H37	19H53				

